

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236767

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H01L 29/78  
H01L 21/336  
G03F 1/08  
G03F 7/20  
H01L 21/027

(21)Application number : 07-324749

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 13.12.1995

(72)Inventor : UEHARA TAKASHI  
YABU TOSHIKI  
SEGAWA MIZUKI  
NAKABAYASHI TAKASHI  
FUJII MINORU

(30)Priority

Priority number : 06314485  
06325178Priority date : 19.12.1994  
27.12.1994

Priority country : JP

JP

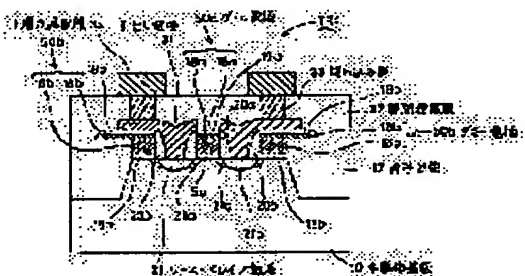
## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device which has little dispersion in processing dimension dependent upon the difference of gate patterns and is high in the degree of integration and operation speed, and further provide its manufacturing method.

CONSTITUTION: This semiconductor device is equipped with an element isolating region 17 projecting from a semiconductor substrate 10 in an active region, a gate electrode 50a made within the active region, and a pair of dummy electrodes 50b made on the region straddling the active region and the element isolating region 17 and extended in roughly parallel with the gate electrode 50a.

The gate electrode 50a and the dummy electrode 50b are constituted of lower films 16a and 16b and upper films 18a and 18b, respectively. The lower film 18b of the dummy electrode 50b is made on a level with the element isolating region 17, and besides in contact with the side flank of the element isolating region 17. Since all gate electrodes 50a can be made within a line and space pattern by the dummy electrode 50b, the dimension after finish of processing of the gate electrodes 50a can be made equal, and the micronization of gate length becomes possible.



## LEGAL STATUS

[Date of request for examination] 10.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3474692

[Date of registration] 19.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(18) 日本国特許庁 (J P)

(12) 公開特許公報(A)

《11》特許出願公開番号

特開平8-236767

(48)公開日 平成8年(1996)9月18日

(5) 品名	識別記号	庫内整理番号	P.I.	技術表示箇所
H01L 29/78			H01L 29/78	801P
21/338			G03F 1/08	B
G03F 1/08			7/20	521
7/20	521		H01L 21/30	5022
H01L 21/027			29/78	801Y

審査請求 未請求 請求項の数 1 0 L (全 21 頁)

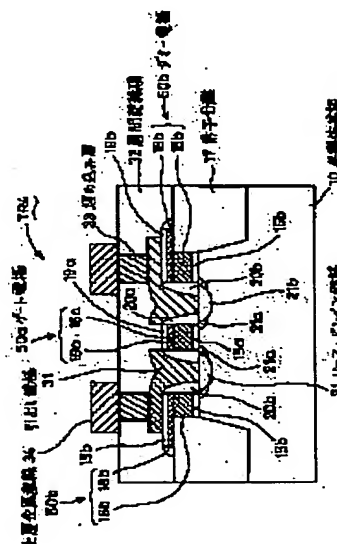
(21) 出願番号	特願平7-324749	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(32) 出願日	平成7年(1995)12月18日	(72) 発明者	上原 商 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平6-914485	(72) 発明者	飯 俣 樹 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32) 優先日	平6(1994)12月19日	(72) 発明者	阪川 瑞樹 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33) 優先権主張国	日本 (J.P.)	(74) 代理人	弁理士 前田 弘 (外2名)
(31) 優先権主張番号	特願平8-325178		
(32) 優先日	平8(1994)12月27日		
(33) 優先権主張国	日本 (J.P.)		

## (54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【課題】 ゲートパターンの相違に依存する加工寸法のバラツキがほとんどなく集積度及び動作速度の高い半導体装置及びその製造方法を提供する。

【解決手段】 活性領域の半導体基板 10 から突出した素子分離 17 と、活性領域内に形成されたゲート電極 50e と、活性領域と素子分離 17 とに隣る領域の上に形成されゲート電極 50e にほぼ平行に延びる 1 対のダミー電極 50b とを備えている。ゲート電極 50a、ダミー電極 50b は、それぞれ下層膜 16e、16b と上層膜 18e、18b とで構成されている。ダミー電極 50b の下層膜 18b は、素子分離 17 と同じ高さでかつ素子分離 17 の側端面に接して形成されている。ダミー電極 50b によって、すべてのゲート電極 50e をラインアンドスペースパターン内に形成できるので、ゲート電極 50e の加工仕上がり寸法を均一にすることができ、ゲート長の微細化が可能となる。



【特許請求の範囲】

【請求項 1】 半導体基板の一部に形成された活性領域と、

上記活性領域内の上記半導体基板上に形成された少なくとも 1 つのゲート電極と、

上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入して形成されたソース・ドレイン領域と、

上記活性領域の基板面から突出して形成され上記活性領域を取り囲む素子分離と、

上記素子分離と上記活性領域とに跨って上記ゲート電極とほぼ平行に延びるように形成された 1 対のダミー電極とを備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、上記ゲート電極、上記ダミー電極及び上記素子分離の各側面上に形成され絶縁性材料で構成される電極サイドウォール及びダミーサイドウォールと、

上記電極サイドウォール及びダミーサイドウォールに接して形成され上記ソース・ドレイン領域と電気的に接続される導電性材料からなる引出し電極とをさらに備えていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、上記素子分離は、上記活性領域の基板面から突出して形成されており、

上記ゲート電極及びダミー電極は、上記素子分離の上端面とほぼ同じ高さまで形成された下層膜とその上の上層膜とにより構成されており、

上記ダミー電極の下層膜は、上記活性領域上で上記素子分離の側端面に接しており、

上記ダミー電極の上層膜は、上記ダミー電極の下層膜と上記素子分離とに跨って形成されていることを特徴とする半導体装置。

【請求項 4】 半導体基板の一部に形成された活性領域と、

上記活性領域内の上記半導体基板上に形成され上層膜及び下層膜からなる少なくとも 1 つのゲート電極と、

上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入して形成されたソース・ドレイン領域と、  
上記ゲート電極の下層膜の上端面とほぼ同じ高さまで上

記活性領域の基板面から突出して形成され上記活性領域を取り囲む素子分離と、

上記ゲート電極及び上記素子分離の各側面上に形成され絶縁膜からなる電極サイドウォール及び素子分離サイドウォールと、

上記電極サイドウォール及び素子分離サイドウォールに接して形成され、上記ソース・ドレイン領域と電気的に接続される導電膜からなる引出し電極とを備えていることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、上記素子分離と同じ高さで上記素子分離の側端面に接して延びる下層膜と、上記下層膜上及び上記素子分離上に

形成された上層膜とからなる 1 対のダミー電極をさらに備えたことを特徴とする半導体装置。

【請求項 6】 請求項 1、2、3、4 又は 5 記載の半導体装置において、

上記活性領域上には、1 つのゲート電極が配設されており、

上記ゲート電極と上記各ダミー電極とは、ほぼ同じ距離を隔てて並んでいることを特徴とする半導体装置。

【請求項 7】 請求項 1、2、3、4 又は 5 記載の半導体装置において、

上記活性領域上には、複数のゲート電極が配設されており、

上記複数のゲート電極及び 1 対のダミー電極は、順次ほぼ一定の距離を隔てて並んでいることを特徴とする半導体装置。

【請求項 8】 請求項 1、2、3、4 又は 5 記載の半導体装置において、

上記相隣接する各電極間の距離は、上記ゲート電極及び各ダミー電極を形成するためのフォトリソグラフィ工程で使用される露光光の波長の 2、5 倍以下であることを特徴とする半導体装置。

【請求項 9】 請求項 1、2、3、4 又は 5 記載の半導体装置において、

上記ゲート電極の長さは、上記ゲート電極及び各ダミー電極を形成するためのフォトリソグラフィ工程で使用される露光光の波長の 1、5 倍以下であることを特徴とする半導体装置。

【請求項 10】 半導体基板上に、活性領域を取り囲む素子分離を形成する工程と、

上記活性領域上に少なくとも 1 つのゲート電極を形成すると同時に、上記活性領域と素子分離とに跨って上記ゲート電極とほぼ平行に延びる 1 対のダミー電極を形成する工程と、

上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程とを少なくとも備えていることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 記載の半導体装置の製造方法において、

上記ゲート電極及びダミー電極の各側面上に絶縁性材料からなる電極サイドウォール及びダミーサイドウォールを形成する工程と、

上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 10 記載の半導体装置の製造方法において、

上記ゲート電極及びダミー電極を形成する工程は、上記活性領域上に 1 つのゲート電極を形成し、かつ上記ゲート電極と上記各ダミー電極との間の距離がほぼ同じにな

るように行うことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 10 記載の半導体装置の製造方法において、

上記ゲート電極及びダミー電極を形成する工程は、上記活性領域上に複数のゲート電極を形成し、かつ上記ゲート電極及び上記ダミー電極が所定距離を隔てて並ぶように行うことを特徴とする半導体装置の製造方法。

【請求項 14】 半導体基板上にゲート絶縁膜及び第 1 のゲート用導電膜を順次堆積する工程と、

素子分離形成領域における上記第 1 のゲート用導電膜、上記ゲート絶縁膜及び上記半導体基板を選択的にエッチングして、溝を形成する工程と、

上記溝が形成された状態の基板上に分離用絶縁膜を堆積した後、上記分離用絶縁膜を上記第 1 のゲート用導電膜の表面が露出しかつ基板の表面が平坦化されるまで除去し、上記溝内に上記分離用絶縁膜の一部を残してこれを素子分離とする工程と、

上記平坦化された基板上に少なくとも第 2 のゲート用導電膜を堆積し、上記第 1、第 2 のゲート用導電膜及び上記ゲート絶縁膜を選択的にエッチングして、上記活性領域上に残された上記第 1、第 2 のゲート用導電膜からなるゲート電極をそれぞれ形成する工程と、

上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程と、  
上記ゲート電極及び上記素子分離の各側面上に絶縁性材料からなる電極サイドウォール及び素子分離サイドウォールを形成する工程と、

上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 15】 半導体基板上に酸化膜及びエッチングストップ膜を順次堆積する工程と、

素子分離形成領域における上記エッチングストップ膜、上記酸化膜及び上記半導体基板を選択的にエッチングして、溝を形成する工程と、

上記素子分離が形成された状態の基板上に分離用絶縁膜を堆積した後、上記分離用絶縁膜を上記エッチングストップ膜の表面が露出しかつ基板の表面が平坦化されるまで除去し、上記溝内に残された上記分離用絶縁膜からなる素子分離を形成する工程と、

上記酸化膜及びエッチングストップ膜を除去した後、基板上にゲート絶縁膜及び第 1 のゲート用導電膜を順次堆積する工程と、

上記第 1 のゲート用導電膜及び上記ゲート絶縁膜を少なくとも上記素子分離の表面が露出しかつ基板の表面が平坦化されるまで除去する工程と、

上記平坦化された基板上に少なくとも第 2 のゲート用導電膜を堆積し、上記第 1、第 2 のゲート用導電膜及び上記ゲート絶縁膜を選択的にエッチングして、上記活性領

域上に残された上記第 1、第 2 のゲート用導電膜からなるゲート電極をそれぞれ形成する工程と、

上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程と、

上記ゲート電極及び上記素子分離の各側面上に絶縁性材料からなる電極サイドウォール及び素子分離サイドウォールを形成する工程と、

上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 記載の半導体装置の製造方法において、

上記エッチングストップ膜は、シリコン窒化膜、ポリシリコン膜、アモルファスシリコン膜、金属膜、金属化合物膜、PSG 膜及び BPSG 膜のうち少なくともいずれか 1 つで構成されていることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 14 又は 15 記載の半導体装置の製造方法において、

上記第 2 のゲート用導電膜は、金属膜、金属化合物膜、ポリシリコン膜、アモルファスシリコン膜のうち少なくともいずれか 1 つで構成されていることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 11、14 又は 15 記載の半導体装置の製造方法において、

上記引出し電極を形成する工程は、

上記ソース・ドレイン領域に自己整合的にコンタクトする第 1 の導電膜からなる下層膜を形成する工程と、上記下層膜の上に上記第 1 の導電膜よりもエッチング選択比の高い第 2 の導電膜からなる上層膜を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 記載の半導体装置の製造方法において、

上記引出し電極の下層膜を形成する工程では、基板上に上記第 1 の導電膜を堆積した後、エッチバックを行って、上記ソース・ドレイン領域の直上のみを上記第 1 の導電膜を残すことを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 18 記載の半導体装置の製造方法において、

上記引出し電極の下層膜を形成する工程では、基板上に第 1 の導電膜を堆積した後、該第 1 の導電膜の上にマスク用部材を堆積しこのマスク用部材を全面エッチバックして上記ソース・ドレイン領域の上方のみにマスク用部材を残し、この残存するマスク用部材を用いて、上記第 1 の導電膜をエッチングすることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 11、14 又は 15 記載の半導体装置の製造方法において、

上記引出し電極を形成する工程は、

基板上に引出し電極用導電膜を堆積する工程と、

上記引出し電極用導電膜の上にアモルファス膜を堆積する工程と。

引出し電極を形成しようとする領域を覆う共通のマスクを用いて、上記アモルファス膜及び引出し電極用導電膜を順次エッチングする工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSトランジスタを搭載した半導体装置及びその製造方法に関し、特に素子特性の安定化とともに高集積化・高速度化を図るための対策に関するものである。

【0002】

【従来の技術】近年、半導体装置に対する高集積化・動作の高速度化の要求に伴い、半導体装置に搭載されるトランジスタや配線、接続孔は益々微細化されている。例えばMOSトランジスタのゲート長は、量産レベルで0.4 $\mu$ mに達している。

【0003】製造装置の観点から見ると、このような微細化を進めるには、ゲート電極をパターンニングするためのフォトリソグラフィ工程における露光光の短波長化や露光方法の改善を図る必要がある。露光光源としては短い波長の光を発生する光源が原理的に有利であり、現在実用に供されている最も波長の短い光としては、水銀ランプから放出されるi線（波長365nm）がある。また、KrFレーザー光（波長248nm）もほぼ実用化の途路に突入しつつある。

【0004】露光方法の改善としては、光学系を工夫して解像度を向上させることにより、露光光の波長よりも微細なパターンを形成するための新しい技術の提案、開発がなされている。例えば、光学顕微鏡の原理を応用した変形照明法があり、これは露光光を斜めから入射させることにより解像度を向上させる等、2光束干渉を使用する光学顕微鏡の原理を応用したものである。また、位相シフト法は、マスク上に位相シフターを設け、この位相シフターを通過させて位相を反転した光と位相シフターを通過しない光との間で干渉を生ぜしめることにより、マスク開口部の分離解像度を向上させる方法である。これらの方法を用いることで、焦点深度が深くなりフォトリソ膜の厚みのバラツキ等が多少あっても、フォトリソ膜上に安定した鮮明な像を形成することができるので、これらの方法を用いることにより、例えばi線を用いながら0.3 $\mu$ m程度の微細パターンの形成が原理的には可能となっている。

【0005】一方、MOSトランジスタの構造上も、微細化に適した構造が実用化されている。以下、図面を参照しながら、高集積化及び動作の高速度化を実現するための従来の半導体装置及びその製造方法の一例について説明する。

【0006】図14は、従来の単体のMOSトランジスタ

の構造を示す断面図である。以下、図14に示す構造及びその構造を実現するためのその製造方法について概説する。

【0007】まず、半導体基板10上にLDDOS法により厚さ400nm程度のシリコン酸化膜からなる素子分離17を形成する。次に、厚さ10nmのシリコン酸化膜と厚さ300nmのポリシリコン膜とを堆積し、フォトリソグラフィ工程及びエッチング工程によりポリシリコン膜及びシリコン酸化膜を選択的に除去して、ゲート絶縁膜15及びゲート電極50を形成する。この状態でゲート電極50をマスクとして低温度不純物イオンの注入を行い、LDD領域21aを形成する。その後、厚さ150nm程度のCVD法によるシリコン酸化膜を全面に堆積し、このシリコン酸化膜をエッチバックしてサイドウォール20を形成する。そして、ゲート電極50及びサイドウォール20をマスクとして半導体基板10内に高濃度の不純物イオンを注入し、ソース・ドレイン領域21bを形成する。次に、層間絶縁膜32を堆積し、フォトリソグラフィ工程及びエッチング工程を行って接続孔を開孔した後、この接続孔における金属埋め込み層33の形成とこの金属膜に接続されるアルミニウム配線34の形成とを行う。

【0008】図15は、上記の製造方法で形成されたMOSトランジスタを複数個搭載した従来の半導体装置のレイアウトの一例を示す平面図である。

【0009】同図に示す例では、3つのトランジスタTR1～TR3が共通の第1の活性領域Rea1内に形成され、1つのトランジスタTR4が第2の活性領域Rea2内に孤立して形成されている。そして、従来の製造方法で形成された半導体装置では、MOSトランジスタのソース・ドレイン領域21bと上層金属配線34とが接続孔に埋め込まれた埋め込み層33を介して接続される構造となっている。

【0010】このような構造とすることにより、いわゆる短チャネル効果を抑制することができるので、ゲート長の縮小を図ることができる。

【0011】

【発明が解決しようとする課題】しかしながら、上記のような従来の半導体装置の構成では、各部の寸法自体の縮小は可能であるものの、以下の2つの問題があるために、上述のような製造装置上の解像度の向上を十分活用した半導体装置全体の微細化つまり高集積化を進めることができない。

【0012】第1は、フォトリソグラフィ工程及びエッチング工程における寸法ばらつきである。すなわち、フォトリソグラフィ工程では、加工寸法が微細化するにつれてハレーションや定在波効果等下地段差の影響、及び近接効果によるゲート電極等の部材の寸法のパターン依存性が顕著になる。また、エッチング工程においても、被エッチング部の表面面積の変化に応じてエッチン

グ速度が変化する効果つまりマイクロローディング効果の抑制が困難になる。そのため、上記図1.5に示す4個のMOSトランジスタTR1~4のゲート電極50の寸法を順にL1~L4とすると、同じ寸法となるように設計されていても、各寸法L1~L4はバラツキを生じる。このバラツキについて、以下に説明する。

【0013】図1.6は、露光源として1線（波長365nm）を用い、ゲート長が0.4μmのパターンを有するレジストルを用いて、ゲート電極をパターンニングした場合の孤立パターンにおけるゲート長と、ラインアンドスペースパターン（3本）におけるゲート長の加工仕上がりの分布を示したものである。同図に示されるように、孤立パターンを有するゲート電極の長さは、ラインアンドスペースパターンを有するゲート電極の長さ比べ、その中心値で約0.08μmだけ大きくなる方向にシフトする。また、共通の密集パターン（ラインアンドスペースパターン）内であっても、3つのトランジスタTR1~TR3の間では、両端の2つのゲート電極50に比べて中央のゲート電極50の方が近接効果等の影響を最も強く受けるので、両端のゲート電極よりもゲート長が小さくなる傾向がある。

【0014】以上の結果、各寸法L1~L4のバラツキが生じ、その大小関係は、 $L4 > L3 = L1 > L2$ となる。このような寸法バラツキは、ゲート長が縮小されても同じ比率で小さくなるものではない。すなわち、このような寸法のバラツキを無視して微細化を進めると、各部の寸法の相対的な誤差が拡大しトランジスタの特性に重大な悪影響を与える虞れがある。

【0015】第2は、フォトリソグラフィ工程におけるマスク合わせずれである。微細加工技術の進歩の度合に対し、マスク合わせ精度の技術はそれほど進んでいない。そのために、ソース・ドレイン領域とゲート電極又は基板との短絡による特性不良や歩留りの低下を避けるべく、接続孔とゲート電極及び素子分離領域との間を一定間隔以上離してレイアウトしなければならない。つまり、予め設計寸法にマスク合わせのためのマージンを設けておく必要がある。

【0016】以上のように、せっかく露光方法やMOSトランジスタのソース・ドレイン領域の構造の改良によってゲート電極や接続孔等の寸法を微細化しようとしても、上述のような微細化の障害となる問題があるために、微細加工技術の進歩に応じたゲート寸法等の縮小を図ることができない。そのため、上記2つの問題は、半導体装置全体の高集積化や動作の高速化を阻害する要因となっている。この傾向は、微細化が進むにつれますます顕著になる。

【0017】本発明の第1の目的は、半導体装置の高集積化及び動作の高速化の障害となっている1つの要因、つまり、フォトリソグラフィ工程やエッチング工程におけるゲートパターンの相違に起因するゲート電極の加

工仕上がりの寸法のバラツキを低減することにより、加工技術の限界までの微細化が可能な半導体装置及びその製造方法を提供することにある。

【0018】また、本発明の第2の目的は、半導体装置の高集積化及び動作の高速化の障害となっているもう1つの要因、つまり半導体装置のソース・ドレイン領域と上層の配線部材との間の接続孔の形成に際し、マスクの合わせずれに起因する接続不良を解消することにより、占有面積の低減が可能な半導体装置及びその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記第1の目的を達成するために本発明の講じた手段は、孤立して形成されるゲート電極をもラインアンドスペースパターン内に形成することにより、近接効果やマイクロローディング効果によるゲート電極の加工仕上がりの寸法のバラツキを抑制することにある。また、ゲート電極のパターンニング工程における下地段差を解消する手段を講ずることによって、ゲート電極の加工仕上がりの寸法のバラツキを抑制するようにしている。

【0020】また、上記第2の目的を達成するために本発明の講じた手段は、ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を設けることにより、ソース・ドレイン領域の占有面積の低減を可能とすることにある。

【0021】本発明に係る第1の半導体装置は、請求項1に記載されるように、半導体基板の一部に形成された活性領域と、上記活性領域内の上記半導体基板上に形成された少なくとも1つのゲート電極と、上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入して形成されたソース・ドレイン領域と、上記活性領域の基板面から突出して形成され上記活性領域を取り囲む素子分離と、上記素子分離と上記活性領域とに跨って上記ゲート電極とほぼ平行に延びるように形成された1対のダミー電極とを備えている。

【0022】この構成により、少なくとも1つのゲート電極と各ダミー電極とがラインアンドスペースパターンを構成するので、半導体装置のフォトリソグラフィ工程における近接効果及びエッチング工程におけるマイクロローディング効果の影響に起因するゲート電極の寸法のバラツキが抑制される。したがって、各ゲート電極の寸法を縮小しても、それによって誤差が拡大することはない。すなわち、半導体装置のゲートの微細化を妨げる障害である上記近接効果及びマイクロローディングの影響を取り除くことが可能となる。

【0023】請求項2に記載されるように、請求項1記載の半導体装置において、上記ゲート電極、上記ダミー電極及び上記素子分離の各側面上に形成され絶縁性材料で構成される電極サイドウォール及びダミーサイドウォールと、上記電極サイドウォール及びダミーサイドウォールと、

ールに接して形成され、上記ソース・ドレイン領域と電気的に接続される導電性材料からなる引出し電極とをさらに設けることができる。

【0024】この構成により、ソース・ドレイン領域と上層の配線とを接続する際に、両者間の絶縁膜に接続孔を形成するための下層の引出し電極が自己整合的に形成される。そして、この引出し電極は各サイドウォールに接して延びるのでソース・ドレイン領域の面積を低減しても十分広い領域に形成することができる。したがって、ダミー電極の形成によってソース・ドレイン領域の占有面積が狭められても不具合を生じることなく、さらにソース・ドレイン領域つまり活性領域の占有面積の低減が可能となる。つまり、ダミー電極の形成による寸法バラツキの低減作用と相俟って、半導体装置全体の大幅な高集積化が可能となる。

【0025】請求項3に記載されるように、請求項1記載の半導体装置において、上記素子分離は上記活性領域の基板面から突出して形成され、上記ゲート電極及びダミー電極は上記素子分離の上端面とほぼ同じ高さまで形成された下層膜とその上の上層膜とにより構成され、上記ダミー電極の下層膜は上記活性領域上で上記素子分離の側端面に接し、上記ダミー電極の上層膜は上記ダミー電極の下層膜と上記素子分離とに跨って形成されている構成とすることができる。

【0026】この構成により、半導体装置の製造工程において、各電極の下層膜と素子分離とが平坦面を構成し、その上に堆積される各電極の上層膜の表面も平坦となるので、各電極をパターンニングする際に、平坦面上でフォトリソグラフィ工程を行うことが可能な構造となる。すなわち、ハレーションや定在波等の下地段差の影響に起因する寸法のバラツキをほぼ解消することができる。

【0027】本発明に係る第2の半導体装置は、請求項4に記載されるように、半導体基板の一部に形成された活性領域と、上記活性領域内の上記半導体基板上に形成され上層膜及び下層膜からなる少なくとも1つのゲート電極と、上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入して形成されたソース・ドレイン領域と、上記ゲート電極の下層膜の上端面とほぼ同じ高さまで上記活性領域の基板面から突出して形成され上記活性領域を取り囲む素子分離と、上記ゲート電極及び上記素子分離の各側面上に形成され絶縁膜からなる電極サイドウォール及び素子分離サイドウォールと、上記電極サイドウォール及び素子分離サイドウォールに接して形成され、上記ソース・ドレイン領域と電気的に接続される導電膜からなる引出し電極とを備えている。

【0028】この構成により、半導体装置の製造工程において、各電極の下層膜と素子分離とが平坦面を構成し、その上に堆積される各電極の上層膜の表面も平坦となるので、各電極をパターンニングする際に、平坦面上で

フォトリソグラフィ工程を行うことが可能な構造となる。すなわち、ハレーションや定在波等の下地段差の影響に起因する寸法のバラツキをほぼ解消することができる。また、引出し電極は各サイドウォールに接して延びるのでソース・ドレイン領域の面積を低減しても十分広い領域に形成することができる。しかも、半導体基板と素子分離との間に段差があることにより、引出し電極を形成する際に、マスクの合わせずれが生じても、ソース・ドレイン領域の直上部分が除去されてしまうのを防止することができる。つまり引出し電極を自己整合的にソース・ドレイン領域にコンタクトさせることができる。したがって、半導体装置全体の高集積化が可能となる。

【0029】請求項5に記載されるように、請求項4記載の半導体装置において、上記素子分離と同じ高さで上記素子分離の側端面に接して延びる下層膜と、上記下層膜上及び上記素子分離上に形成された上層膜とからなる1対のダミー電極をさらに設けることができる。

【0030】この構成により、ゲート電極と各ダミー電極とがラインアンドスペースパターンを構成するので、半導体装置のフォトリソグラフィ工程における近接効果及びエッチング工程におけるマイクロローディング効果の影響に起因するゲート電極の寸法のバラツキが抑制される。

【0031】請求項6に記載されるように、請求項1、2、3、4又は5記載の半導体装置において、上記活性領域上に1つのゲート電極が配設されている場合には、上記ゲート電極と上記各ダミー電極とがほぼ同じ距離を隔てて並んでいる構成とすることが好ましい。

【0032】請求項7に記載されるように、請求項1、2、3、4又は5記載の半導体装置において、上記活性領域上に複数のゲート電極が配設されている場合には、上記複数のゲート電極及び1対のダミー電極が順次ほぼ一定の距離を隔てて並んでいる構成とすることが好ましい。

【0033】請求項8に記載されるように、請求項1、2、3、4又は5記載の半導体装置において、上記相隣接する各電極間の距離は、上記ゲート電極及び各ダミー電極を形成するためのフォトリソグラフィ工程で使用される露光光の波長の2.5倍以下であることが好ましい。

【0034】請求項6、7又は8の構成により、上述の近接効果及びマイクロローディングの影響による各ゲート電極の寸法のバラツキがほぼ完全に解消されることになる。

【0035】請求項9に記載されるように、請求項1、2、3、4又は5記載の半導体装置において、上記ゲート電極の長さは、上記ゲート電極及び各ダミー電極を形成するためのフォトリソグラフィ工程で使用される露光光の波長の1.5倍以下であることが好ましい。

【0036】この構成により、ラインアンドスペースパ



ターンに対する露光の焦点深度が深くなる。したがって、フォトリソスト像の膜厚のバラツキ等があっても、フォトリソスト膜上に安定した鮮明な像が形成されるので、ゲート電極のパターニング精度が向上する。したがって、半導体装置の集積度が特に向上し、動作速度も特に高速化されることになる。

【0037】本発明に係る第1の半導体装置の製造方法は、請求項10に記載されるように、半導体基板上に、活性領域を取り囲む素子分離を形成する工程と、上記活性領域上に少なくとも1つのゲート電極を形成すると同時に、上記活性領域と素子分離とに跨って上記ゲート電極とほぼ平行に延びる1対のダミー電極を形成する工程と、上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程とを少なくとも備えている。

【0038】この方法により、請求項1に記載される構造を有する半導体装置が容易に製造される。

【0039】請求項11に記載されるように、請求項12記載の半導体装置の製造方法において、上記ゲート電極、ダミー電極及び上記素子分離の各側面に絶縁性材料からなる電極サイドウォール、ダミーサイドウォール及び素子分離サイドウォールを形成する工程と、上記活性領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程と、上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とをさらに設けることができる。

【0040】この方法により、ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を広い領域に形成することができ、上方の配線から引出し電極への接続孔の形成も容易となる。すなわち、ダミー電極の形成によって狭められたソース・ドレイン領域に対する上層金属配線からのコンタクトを確保できるだけでなく、さらに、活性領域の占有面積を低減することが可能となる。

【0041】請求項12に記載されるように、請求項10記載の半導体装置の製造方法において、上記ゲート電極及びダミー電極を形成する工程は、上記活性領域上に1つのゲート電極を形成し、かつ上記ゲート電極と上記各ダミー電極との間の距離がほぼ同じになるように行うことが好ましい。

【0042】請求項13に記載されるように、請求項10記載の半導体装置の製造方法において、上記ゲート電極及びダミー電極を形成する工程は、上記活性領域上に複数のゲート電極を形成し、かつ上記ゲート電極及び上記ダミー電極が順次ほぼ一定の距離を隔てて並ぶように行うことが好ましい。

【0043】請求項12又は13の方法により、フォトリソグラフィを行う際の近接効果とエッチングを行う際のマイクロローディング効果とに起因する各電極の寸法のバラツキをほとんど解消することができる。

【0044】本発明に係る第2の半導体装置の製造方法

は、請求項14に記載されるように、半導体基板上にゲート絶縁膜及び第1のゲート用導電膜を順次堆積する工程と、素子分離形成領域における上記第1のゲート用導電膜、上記ゲート絶縁膜及び上記半導体基板を選択的にエッチングして、溝を形成する工程と、上記工程が終了した状態の基板上に分離用絶縁膜を堆積した後、上記分離用絶縁膜を上記第1のゲート用導電膜の表面が露出しかつ基板の表面が平坦化されるまで除去し、上記溝内に上記分離用絶縁膜の一部を残してこれを素子分離とする工程と、上記平坦化された基板上に少なくとも第2のゲート用導電膜を堆積し、上記第1、第2のゲート用導電膜及び上記ゲート絶縁膜を選択的にエッチングして、上記活性領域上に残された上記第1、第2のゲート用導電膜からなるゲート電極をそれぞれ形成する工程と、上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程と、上記ゲート電極及び上記素子分離の各側面に絶縁性材料からなる電極サイドウォール及び素子分離サイドウォールを形成する工程と、上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とを備えている。

【0045】この方法により、第1のゲート用導電膜と素子分離とで平坦化された面の上に第2のゲート用導電膜が堆積され、平坦な状態で第1、第2のゲート用導電膜からゲート電極をパターニングするためのフォトリソグラフィ及びエッチングが行われる。したがって、フォトリソグラフィを行う際のハレーションや定在波等の下地段差の影響に起因する各電極の寸法のバラツキがほとんど無視し得る程度にまで低減される。しかも、第1のゲート用導電膜がエッチングストップ膜としても機能するので、工程が簡略化されることになる。

【0046】本発明に係る第3の半導体装置の製造方法は、請求項15に記載されるように、半導体基板上に酸化膜及びエッチングストップ膜を順次堆積する工程と、素子分離形成領域における上記エッチングストップ膜、上記酸化膜及び上記半導体基板を選択的にエッチングして、溝を形成する工程と、上記素子分離が形成された状態の基板上に分離用絶縁膜を堆積した後、上記分離用絶縁膜を上記エッチングストップ膜の表面が露出しかつ基板の表面が平坦化されるまで除去し、上記溝内に残された上記分離用絶縁膜からなる素子分離を形成する工程と、上記酸化膜及びエッチングストップ膜を除去した後、基板上にゲート絶縁膜及び第1のゲート用導電膜を順次堆積する工程と、上記第1のゲート用導電膜及び上記ゲート絶縁膜を少なくとも上記素子分離の表面が露出しかつ基板の表面が平坦化されるまで除去する工程と、上記平坦化された基板上に少なくとも第2のゲート用導電膜を堆積し、上記第1、第2のゲート用導電膜及び上記ゲート絶縁膜を選択的にエッチングして、上記活性領域上に残された上記第1、第2のゲート用導電膜からな

るゲート電極をそれぞれ形成する工程と、上記ゲート電極の両側方に位置する半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程と、上記ゲート電極及び上記素子分離の各側面上に絶縁性材料からなる電極サイドウォール及び素子分離サイドウォールを形成する工程と、上記ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を形成する工程とを備えている。

【0047】この方法により、請求項14と同じ作用に加え、素子分離の形成に伴うゲート絶縁膜へのダメージを回避することができ、かつ熱処理による半導体装置の特性に対する悪影響を抑制することができる。

【0048】請求項16に記載されるように、請求項15記載の半導体装置の製造方法において、上記エッチングストップ膜は、シリコン窒化膜、ポリシリコン膜、アモルファスシリコン膜、金属膜、金属化合物膜、P-S-G膜及びB-P-S-G膜のうち少なくともいずれかが1つで構成することが好ましい。

【0049】請求項17に記載されるように、請求項14又は15記載の半導体装置の製造方法において、上記第2のゲート用導電膜は、金属膜、金属化合物膜、ポリシリコン膜、アモルファスシリコン膜のうち少なくともいずれかが1つで構成することが好ましい。

【0050】請求項18に記載されるように、請求項11、14又は15記載の半導体装置の製造方法において、上記第引出し電極を形成する工程は、上記ソース・ドレイン領域に自己整合的にコンタクトする第1の導電膜からなる下層膜を形成する工程と、上記下層膜の上に上記第1の導電膜よりもエッチング選択比の高い第2の導電膜からなる上層膜を形成する工程とで構成することが好ましい。

【0051】この方法により、第1の導電膜及び第2の導電膜の電気的抵抗特性とエッチング特性を適宜選択して、ソース・ドレイン領域とのコンタクト抵抗の小さい、かつソース・ドレイン領域の占有面積の狭い半導体装置を形成することが可能となる。

【0052】請求項19に記載されるように、請求項18記載の半導体装置の製造方法において、上記引出し電極の下層膜を形成する工程では、基板上に上記第1の導電膜を堆積した後、エッチバックを行って、上記ソース・ドレイン領域の直上のみに上記第1の導電膜を残すことができる。

【0053】請求項20に記載されるように、請求項18記載の半導体装置の製造方法において、上記引出し電極の下層膜を形成する工程では、基板上に第1の導電膜を堆積した後、該第1の導電膜の上にマスク用部材を堆積しこのマスク用部材を全面エッチバックして上記ソース・ドレイン領域の上方のみにマスク用部材を残し、この残存するマスク用部材を用いて、上記第1の導電膜をエッチングすることができる。

【0054】請求項19又は20の方法により、ソース・ドレイン領域にコンタクトする下層膜が自己整合的に形成され、その上に第2の導電膜が堆積される。そして、第2の導電膜から引出し電極の上層膜をパターンニングする際に、ソース・ドレイン領域の上は下層膜で覆われているので、引出し電極を形成する際にマスクの合わせずれが生じても、ソース・ドレイン領域が露出することなく、接触不良等の発生が防止される。

【0055】請求項21に記載されるように、請求項11、14又は15記載の半導体装置の製造方法において、上記引出し電極を形成する工程は、基板上に引出し電極用導電膜を堆積する工程と、上記引出し電極用導電膜の上にアモルファス膜を堆積する工程と、引出し電極を形成しようとする領域を覆う共通のマスク部材を用いて、上記アモルファス膜及び引出し電極用導電膜を順次エッチングする工程とで構成することができる。

【0056】この方法により、引出し電極を形成する際のマスク部材の下地が、平坦性のよいアモルファス膜で構成されているので、引出し電極の形成が容易となり、かつ形状精度も向上する。

【0057】

【発明の実施の形態】以下、本発明の各実施形態について、図面を参照しながら説明する。

【0058】（第1の実施形態）まず、第1の実施形態について、図1(a)～(e)及び図2～図4を参照しながら説明する。図1(a)～(e)は、第1の実施形態に係る半導体装置の製造工程を示す断面図であって、特にゲート電極が孤立パターンを有するMOSトランジスタの付近の構造のみを示す。

【0059】まず、図1(a)に示すように、P型シリコン単結晶からなる半導体基板10の上に活性領域を区画するLOCOS膜からなる素子分離17を形成し、活性領域内にしきい値制御用不純物イオンの注入を行う。また、素子分離17の下方にしきい値制御用不純物の濃度よりも高濃度の不純物イオンを注入し、チャネルストップ領域Retを形成しておく。その後、シリコン酸化膜1.5 $\mu$ mを活性領域の半導体基板10の上に形成し、さらにその上にポリシリコン膜16 $\mu$ m及び保護用シリコン酸化膜19 $\mu$ mを堆積する。そして、フォトリソグラフィを行って、ポリシリコン膜5.0 $\mu$ m及び保護用シリコン酸化膜19 $\mu$ mを残そうとする領域のみ覆うフォトリソレジスト膜FR1を、保護用シリコン酸化膜19 $\mu$ mの上に形成する。

【0060】次に、図1(b)に示すように、ドライエッチングを行って、上記フォトリソレジスト膜FR1の開口部にある上記ポリシリコン膜5.0 $\mu$ m及び保護用シリコン酸化膜19 $\mu$ mを選択的に除去し、活性領域上にはゲート電極50a及びゲート保護膜19aを、活性領域上から素子分離17の上を跨る領域にはダミー電極50b及びダミー保護膜19bをそれぞれ形成する。その後、各電

極50a、50bをマスクとして低温度のn型不純物イオン(P<sup>+</sup>又はAs<sup>+</sup>)の注入を行って、ゲート電極50aの両側方に位置する半導体基板10内にLDD領域21aを形成する。さらに、高エネルギーでp型不純物イオン(B<sup>+</sup>)の注入を行って、LDD領域21aの下方にパンチスルーストップPstを形成する。

【0061】次に、図1(c)に示すように、基板上にシリコン酸化膜(図示せず)を堆積した後、エッチバックを行って、ゲート電極50aの両側面上には電極サイドウォール20aを、ダミー電極50bの両側面上にはダミーサイドウォール20bをそれぞれ形成する。その後、各電極及びサイドウォールをマスクとして、高温度のn型不純物イオン(P<sup>+</sup>又はAs<sup>+</sup>)の注入を行って、ソース・ドレイン領域21bを形成する。

【0062】次に、図1(d)に示すように、基板上にW/Ti/N/Ti膜からなる積層金属膜を堆積した後、フォトリソist膜FR2を形成するフォトリソグラフィ工程と、積層金属膜を選択的に除去するドライエッチング工程とを行って、上記ソース・ドレイン領域にコンタクトする引出し電極31を形成する。

【0063】次に、図1(e)に示すように、基板上に層間絶縁膜32を堆積した後、所望の位置に接続孔を形成し、接続孔内の壁面及び層間絶縁膜32の上に金属膜を堆積した後、上層金属配線34をパターンニングする。

【0064】上述のように、図16に示すごとく、孤立パターンにおけるゲート長とラインアンドスペースパターンにおけるゲート長の加工仕上がり寸法では、パターン依存性が見られるが、本実施形態のごとく、孤立して形成されるゲート電極50aの両側にダミー電極50bを形成することにより、すべての部分でゲート電極50aがラインアンドスペースパターンの中央に位置することになり、ゲート電極50aの寸法が増大側にシフトする不具合を有効に防止することができる。

【0065】図2は、露光光源としてi線をを用い、ゲート長Lが0.25 $\mu$ m、0.3 $\mu$ m、0.35 $\mu$ mのパターンを有するレジクルを用いて、ゲート電極のパターンニングを行った場合の焦点深度について、従来の孤立パターンを有するトランジスタと、本実施形態によってラインアンドスペースパターンになったゲート電極を有するトランジスタとを比較する図である。ただし、本実施形態のトランジスタにおいて、ゲート電極50aとダミー電極50bとの距離Sは0.4 $\mu$ mに設定されている。

【0066】同図から分かるように、ゲート長が0.35 $\mu$ mの場合、従来の孤立パターンでは焦点深度(加工寸法の10%以内)が0.5 $\mu$ mであるのに対して、本実施形態のトランジスタでは、1.5 $\mu$ m以上の焦点深度が確保されている(一般的には、生産するには、焦点深度が1.2ミクロン程度は最低必要である)。さらに、従来の孤立パターンではi線を用いた場合に解像さ

れない0.3 $\mu$ m以下のゲート長を有するゲート電極を形成することも可能である。すなわち、本実施形態の構造を採用することで、露光光源の波長以下の寸法を有するゲート電極をパターンニングすることができるとともに、露光光源の波長よりも大きいゲート長を有するトランジスタにおいても、その焦点深度を深くすることができる。

【0067】図3は、露光光源としてi線を用い、ゲート長Lが0.3 $\mu$ m、0.35 $\mu$ mのパターンを有するレジクルを用いて、本実施形態に係るゲート電極及びダミー電極のパターンニングを行った場合の焦点深度のゲート電極-ダミー電極間距離Sに対する依存性を示す。同図から分かるように、焦点深度は距離Sが小さくなるにつれて大きくなるが、距離Sが0.4 $\mu$ mのときに最大となり、これよりも距離Sが大きくなっても小さくならない。

【0068】また、図4は、露光光源としてKrF線を用い、ゲート長Lが0.25 $\mu$ mのパターンを有するレジクルを用いて、本実施形態に係るゲート電極及びダミー電極のパターンニングを行った場合の焦点深度のゲート電極-ダミー電極間距離Sに対する依存性を示す。この場合、焦点深度は電極間距離Sが約0.3 $\mu$ mのときに最大となっている。つまり、電極間距離Sには最適値が存在し、この最適値はゲート長よりも露光光源の波長に強く依存していることが裏付けられている。

【0069】以上の結果より、高精度のゲートパターンを形成するには、ゲート電極-ダミー電極間距離Sを露光光源の波長の2.5倍以下とすることが好ましい。また、ゲート長Lが露光波長の1.5倍以下のときに、ゲート長に対するバラツキ値の割合を低減するという本発明の効果が特に顕著に発揮されることになる。

【0070】一方、このようにダミー電極50bを設けてラインアンドスペースパターンにすることで、ゲート電極50aの寸法の均一化を図ることができる反面、ソース・ドレイン領域21bの面積が狭められる。従来のトランジスタの製造方法では、接続孔はソース・ドレイン領域に直接到達するように形成されていたので、製造工程中のマスクの合わせずれを考慮すると接続孔に比べてソース・ドレイン領域の面積をかなり大きめに確保しておく必要があった。そのために、このようなダミー電極50bを設ける構造をそのまま適用すると、さらに活性領域全体の占有面積にマージンを設ける必要が生じ、結局、半導体装置全体としての高集積化を阻害しない虞れがある。

【0071】それに対し、本実施形態では、図1(d)に示すように、ソース・ドレイン領域21bへの接続孔の形成は、引出し電極31に対して行うことになる。この引出し電極31は、ソース・ドレイン領域21bに対して自己整合的にコンタクトしているため、引出し電極31をソース・ドレイン領域21bにコンタクトさせる

ためのマスクは不要である。しかも、引出し電極31は、サイドウォール20からダミー電極50bの上方に至る広い範囲に亘って形成することが可能となるので、引出し電極31への接続孔の形成は極めて容易となり、マスクの合わせずれを考慮する必要はない。また、ソース・ドレイン領域21bは素子分離17から離れた領域に形成されることになるので、素子分離17の下方に、ソース・ドレイン領域とは逆導電型の不純物を導入して形成されるチャネルストップ領域30と接触しなくなる。そのために、ソース・ドレイン領域21bの側面の容量を小さくすることができる。つまり、寄生容量の低減による動作速度の向上を図ることができる。

【0072】すなわち、ゲート電極50aの側方にダミー電極50bを形成してラインアンドスペースパターンとすることにより、ゲート電極50aの加工仕上がり寸法のバラツキが低減するので、ゲート長を微細化しても相対的な誤差が拡大することがない。一方、ダミー電極50bを形成することでソース・ドレイン領域21bの面積が狭められても、ソース・ドレイン領域に自己整合的にコンタクトする引出し電極31を設けることで、ソース・ドレイン領域21bの占有面積を拡大する必要はない。むしろ、さらにソース・ドレイン領域21bの占有面積を積極的に低減することが可能である。

【0073】以上のように、ゲート電極50aの寸法の縮小とソース・ドレイン領域21bの占有面積の低減とによって、活性領域の面積を低減することができる。

【0074】さらに、素子分離17の下方面におけるチャネルトップ領域の機能も強化されるので、素子分離17の寸法の低減も可能である。

【0075】よって、半導体装置全体として大幅に集積度の向上と動作速度の向上とを図ることができるのである。

【0076】（第2の実施形態）次に、第2の実施形態について説明する。まず、図5及び図6を参照しながら本実施形態に係る半導体装置の構造について説明する。

【0077】図5は本実施形態における半導体装置のうち孤立部のトランジスタと密集部のトランジスタとが含まれる領域の平面図である。図5に示すように、第1の活性領域Rea1内には密集して形成された3つのトランジスタTR1～TR3が配設され、第2の活性領域Rea2には孤立した単体のトランジスタTR4が配設されている。そして、第1の活性領域Rea1には各トランジスタTR1～TR3のゲート電極50aが互いに一定の距離 $S_0$ を隔てつつ平行に配置されているとともに、両端のトランジスタTR1、TR3のゲート電極50aに隣接して、第1の活性領域Rea1上と素子分離17上とに跨って、ダミー電極50bが設けられている。また、第2の活性領域Rea2には、孤立したトランジスタTR4のゲート電極50aが形成されているとともに、その両側方の活性領域Rea2上と素子分離17上とに跨って2つのダミ

ー電極50bが形成されている。ただし、本実施形態では、第1活性領域Rea1と第2活性領域Rea2との間の素子分離17では、ダミー電極50bが共通化されている。そして、各ゲート電極50aとダミー電極50bとの間の距離も各ゲート電極50a同士間の距離 $S_0$ と同じである。つまり、相隣接するゲート電極50a同士の距離、及び相隣接するゲート電極50aとダミー電極50bとの距離が一定値 $S_0$ となっている。

【0078】なお、後に説明する図6に示すように、各活性領域Rea1、Rea2の一部にコンタクトする引出し電極31が形成されており、上層金属配線34と引出し電極31との間は、埋め込み層33を介して接続されている。

【0079】図6は、図5のVI-VI線断面における孤立したトランジスタTR4付近の構造を示す断面図である。図6に示すように、半導体基板10の上には、半導体基板10の上端面よりも突出した上端面を有する溝型の素子分離17が形成されており、この素子分離17で囲まれる活性領域内に単体のMOSトランジスタが形成されている。MOSトランジスタは、ポリシリコン膜からなる下層膜16a及びタングステン膜からなる上層膜18aで構成されるゲート電極50aと、ポリシリコン膜からなる下層膜16b及びタングステン膜からなる上層膜18bで構成されるダミー電極50bとを備えている。上記ダミー電極50bの下層膜16bは素子分離17の側端部に沿って延びており、その上端面は素子分離17の上端面と同じ高さ位置にある。また、ダミー電極50bの上層膜18bは、下層膜16b上と素子分離17上とに跨って形成されている。ゲート電極50a及びダミー電極50bの上にはシリコン酸化膜からなる保護用絶縁膜19a、19bが、ゲート電極50a及びダミー電極50bの下にはシリコン酸化膜からなるゲート絶縁膜15a及びダミー絶縁膜15bが、ゲート電極50a及びダミー電極50bの両側面上にはシリコン酸化膜からなる電極サイドウォール20a及びダミーサイドウォール20bがそれぞれ形成されている。半導体基板10のゲート電極50aの両側方に位置する部位には、LDD領域21a及びソース・ドレイン領域21bが形成されており、このソース・ドレイン領域21bに自己整合的にコンタクトするW/TiN膜からなる引出し電極31が形成されている。この引出し電極31は、ダミー電極50bの上方に亘る広い領域に形成されており、その上に層間絶縁膜32を介して上層金属配線34が形成され、上層金属配線34と引出し電極31との間は、接続孔に埋め込まれたタングステンからなる埋め込み層33により接続されている。

【0080】以上のように、本実施形態に係る半導体装置の構造によれば、ソース・ドレイン領域21bの引出し電極31は、MOS型トランジスタのゲート電極50a及びダミー電極50bの側面上に形成されたサイドウ

オール20a、20bに隣接して自己整合的にソース・ドレイン領域21bにコンタクトする構造となっている。また、各孤立部においても密集部においても、活性領域内の半導体基板10上から素子分離17上に跨ってダミー電極50bが形成され、ゲート電極50aとダミー電極50bとでラインアンドスペースパターンを構成しているため、上記第1の実施形態と同様の効果を発揮することができる。

【0081】しかも、活性領域上では相隣接するゲート電極50a同士間の距離と相隣接するゲート電極50aとダミー電極50b間の距離とが一定値 $S_0$ であるため、活性領域上ではフォトリソグラフィ工程における近接効果やエッチング工程におけるマイクロローディング効果に起因する各ゲート電極50aの寸法のバラツキがほとんど生じない。したがって、ゲート電極50aの長さを縮小しても、ゲートパターンの孤立、密集の相違に起因する両効果の差が生じないので、寸法誤差が拡大することはない。したがって、トランジスタの微細化が可能となり、半導体装置の集積度及び動作速度の向上を図ることができるのである。さらに、以下に述べる製造工程中における平坦度の向上により寸法精度の向上を図ることができる。

【0082】次に、本実施形態における半導体装置の製造方法について、図7(a)～(f)、図8(a)～(e)及び図9(a)～(e)を参照しながら説明する。ただし、この各図では、nチャネルMOSトランジスタとpチャネルMOSトランジスタとが相隣接して形成される部分、つまり、上記図5及び図6には示されない部分における製造工程について説明する。

【0083】まず、図7(a)に示すように、半導体基板10上にnチャネルMOSトランジスタ形成領域 $R_n$ を覆うフォトリソ resist 膜FR3を形成し、リンイオン(P+)の注入を行った後、図7(b)に示すように、pチャネルMOSトランジスタ形成領域 $R_p$ を覆うフォトリソ resist 膜FR4を形成し、ボロシイオン(B+)の注入を行う。その結果、半導体基板10の表面付近の領域に、不純物濃度がしきい値制御レベルに調整されたnウェル11とpウェル12とが形成される。

【0084】次に、図7(c)に示すように、基板全面を酸化して厚さ10nmのシリコン酸化膜15xを形成し、その上に厚さ300nmのポリシリコン膜16x(第1のゲート用導電膜)を堆積する。そして、図7(d)に示すように、ポリシリコン膜16xの上に素子分離を形成しようとする領域を開口したフォトリソ resist 膜FR5を形成した後、ポリシリコン膜16x、シリコン酸化膜15x及び半導体基板10を順次エッチングし、半導体基板10の一部を掘込んで深さ約300nmの溝を形成する。

【0085】次に、図7(e)に示すように、基板の上にCVD法により、厚さ1 $\mu$ m程度の分離用シリコン酸

化膜17x(分離用絶縁膜)を堆積した後、フォトリソ resist を全面に塗布してエッチバック法によりポリシリコン膜16xが露出するまで、フォトリソ resist 膜と分離用シリコン酸化膜17xとを除去して、図7(f)に示すように、基板表面を平坦にする。この状態で活性領域を取り囲む溝型の素子分離17が形成されている。なお、図示は省略するが、この状態で素子分離17の下方にチャネルストップ層を形成する。すなわち、nウェル11内の素子分離17の下方にはnウェル11内の不純物濃度よりも濃いn型不純物をイオン注入により導入し、pウェル12内の素子分離17の下方にはpウェル12内の不純物濃度よりも濃いp型不純物をイオン注入により導入する。ただし、このチャネルストップ層の形成は、他の工程で行うことも可能である。

【0086】次に、図8(a)に示すように、基板上に厚さ100nmのタングステン膜19x(第2のゲート用導電膜)と厚さ150nmの保護用シリコン酸化膜19xとを順次堆積し、さらにその上に、タングステン膜18x等を蒸着しようとする領域を覆うフォトリソ resist 膜FR6を形成する。そして、フォトリソ resist 膜FR6をマスクとして、保護用シリコン酸化膜19x、タングステン膜18x、ポリシリコン膜16x及びシリコン酸化膜15xを順次エッチングして選択的に除去する。そして、図8(b)に示すように、活性領域上には下層膜16a及び上層膜18aからなるゲート電極50aを、活性領域上から素子分離17上に跨る領域には下層膜16b及び上層膜18bからなるダミー電極50bをそれぞれ形成する。また、ゲート電極50aと半導体基板10との間にはゲート絶縁膜15aが存在し、ダミー電極50bと半導体基板10との間にはダミー絶縁膜15bが存在した構造となる。

【0087】次に、図8(c)に示すように、nチャネルMOSトランジスタ形成領域 $R_n$ を覆うフォトリソ resist 膜FR7を形成し、このフォトリソ resist 膜FR7、pチャネルMOSトランジスタのゲート電極50a及びダミー電極50bをマスクとして、低濃度のボロシイオン(B+)の注入を行い、pチャネルMOSトランジスタのLDD領域21aを形成する。その後、図8(d)に示すように、pチャネルMOSトランジスタ形成領域 $R_p$ を覆うフォトリソ resist 膜FR8を形成し、このフォトリソ resist 膜FR8、nチャネルMOSトランジスタのゲート電極50a及びダミー電極50bをマスクとして、低濃度のリンイオン(P+)の注入を行い、nチャネルMOSトランジスタのLDD領域21aを形成する。

【0088】次に、図8(e)に示すように、基板上にCVD法により厚さ100nmのシリコン酸化膜を堆積した後、エッチバックして、ゲート電極50aの両側面上には電極サイドウォール20aを、ダミー電極50bの両側面上にはダミーサイドウォール20bをそれぞれ形成する。なお、図示しないが、素子分離17の側面に

露出した部分には素子分離サイドウォールが形成される。

【0089】続いて、図9(a)に示すように、nチャネルMOSトランジスタ形成領域 $R_n$ を覆うフォトレジスト膜 $FR_9$ を形成し、このフォトレジスト膜 $FR_9$ 、pチャネルMOSトランジスタのゲート電極 $50a$ 、ダミー電極 $50b$ 及び各サイドウォール $20a$ 、 $20b$ をマスクとして、高濃度のボロニオン( $B^+$ )の注入を行い、pチャネルMOSトランジスタのソース・ドレイン領域 $21b$ を形成する。その後、図9(b)に示すように、pチャネルMOSトランジスタ形成領域 $R_p$ を覆うフォトレジスト膜 $FR_{10}$ を形成し、このフォトレジスト膜 $FR_{10}$ 、nチャネルMOSトランジスタのゲート電極 $50a$ 、ダミー電極 $50b$ 及び各サイドウォール $20a$ 、 $20b$ をマスクとして、高濃度のヒ素イオン( $As^+$ )の注入を行い、nチャネルMOSトランジスタのソース・ドレイン領域 $21b$ を形成する。

【0090】次に、図9(c)に示すように、基板上に $W/TiN$ 膜からなる積層金属膜 $31x$ を堆積した後、引出し電極を形成しようとする領域を開孔したフォトレジスト膜 $FR_{11}$ を形成する。そして、図9(d)に示すように、フォトレジスト膜 $FR_{11}$ をマスクとして積層金属膜 $31x$ をエッチングして、ソース・ドレイン領域 $21b$ に自己整合的にコンタクトしかつダミー電極 $50b$ の上方まで延びる引出し電極 $31$ を形成する。

【0091】次に、図9(e)に示すように、基板上に層間絶縁膜 $32$ を堆積した後、層間絶縁膜 $32$ を貫通して引き出し電極 $31$ に到達する接続孔を開孔させた後、この接続孔にタングステンを埋め込んで埋め込み層 $33$ を形成するとともに、アルミニウム合金膜からなる上層金属配線 $34$ を形成する。

【0092】本実施形態の製造工程では、素子分離 $17$ の上面が活性領域の半導体基板 $10$ の上面よりも突出した構造となる為に、図8(e)に示すゲート電極形成工程において、下地が平坦となり、フォトリソグラフィ工程におけるハレーションや定在波効果の影響による各ゲート電極 $50a$ の寸法のばらつきを無視し得る程度まで低減することができる。特に、本実施形態の工程では、ゲート電極 $50a$ の一部を構成するポリシリコン膜 $16x$ が、素子分離 $17$ を形成するための溝を形成する際のエッチングストップとしても機能するので、工程数を低減し得るという利点をも有する。

【0093】また、本実施形態の製造工程では、ソース・ドレイン領域 $21b$ の基板面が素子分離 $17$ の上面よりもポリシリコン膜 $16x$ の膜厚分だけ下方に位置するので、以下の効果が得られる。すなわち、図9(c)～(d)に示す積層金属膜 $31x$ から引出し電極 $31$ をパターンニングする工程において、フォトレジスト膜 $FR_{11}$ がソース・ドレイン領域 $21b$ の位置からずれて、ソース・ドレイン領域 $21b$ の上方にフォトレジスト膜 $FR_{11}$

$FR_{11}$ が存在しない部分が生じても、その部分上の積層金属膜 $31x$ がすべてエッチングされてしまうことはない。すなわち、ソース・ドレイン領域 $21b$ に対して引出し電極 $31$ を自己整合的にコンタクトさせることができるので、マスク合わせずれに対する余計なマージンをとる必要がない。

【0094】尚、本実施形態では、相隣接するゲート電極 $50a$ 同士間の距離及び相隣接するゲート電極 $50a$ とダミー電極 $50b$ との間の距離を一定値 $S_0$ としたが、これらの距離は必ずしも同じ値でなくてもよい。ダミー電極 $50b$ があることで、すべてのゲート電極 $50a$ がラインアンドスペースパターンを有することになり、各ゲート電極 $50a$ に対して近接効果が生じる結果、多少各電極間の距離が相違しても、ゲート長のバラツキが確実に低減される。また、ゲート電極 $50a$ と素子分離 $17$ との間の距離や、ソース・ドレイン領域 $21b$ の基板面と素子分離 $17$ の上面との段差つまりポリシリコン膜 $16x$ の膜厚、積層金属膜 $31x$ の膜厚等の最適化により、引出し電極 $31$ は自己整合的に形成することができ、本実施形態と同様の効果を得ることができる。

【0095】(第3の実施形態) 次に、第3の実施形態について、図10(a)～(e)を参照しながら説明する。図10(a)～(e)は、本実施形態における半導体装置の製造工程を示す断面図である。

【0096】まず、図10(a)に示すように、半導体基板 $10$ の表面を酸化して厚さ $20nm$ のシリコン酸化膜 $13x$ を形成し、次に、厚さ $300nm$ のシリコン窒化膜 $14x$ (エッチングストップ膜)を堆積する。続いて、図10(b)に示すように、素子分離を形成しようとする領域を開孔したフォトレジスト膜 $FR_{12}$ を形成した後、フォトレジスト膜 $FR_{12}$ をマスクとして、シリコン窒化膜 $14x$ 、シリコン酸化膜 $13x$ 及び半導体基板 $10$ を順次エッチングし、半導体基板 $10$ に深さ約 $300nm$ の溝を形成する。

【0097】次に、図10(c)に示すように、CVD法により基板上に厚さ約 $1\mu m$ のシリコン酸化膜を堆積し、その上にフォトレジストを塗布した後、フォトレジスト膜及びシリコン酸化膜をシリコン窒化膜 $14x$ が露出するまでエッチバックして、基板表面を平坦にする。

【0098】続いて、図10(d)に示すように、活性領域上に残存するシリコン窒化膜 $14x$ を除去した後、nチャネルMOSトランジスタ形成領域 $R_n$ を覆うフォトレジスト膜 $FR_{13}$ を形成し、リンイオン( $P^+$ )の注入を行った後、図10(e)に示すように、pチャネルMOSトランジスタ形成領域 $R_p$ を覆うフォトレジスト膜 $FR_{14}$ を形成し、ボロニオン( $B^+$ )の注入を行う。その結果、半導体基板 $10$ の表面付近の領域に、不純物濃度がしきい値制御レベルに調整されたnウェル $11$ とpウェル $12$ とが形成される。



【0109】次に、図10(f)に示すように、シリコン酸化膜13xを除去した後、基板全面を酸化して厚さ10nmのシリコン酸化膜15xを形成し、その上に厚さ30.0nmのポリシリコン膜16x（第1のゲート用導電膜）を堆積する。

【0100】次に、図10(e)に示すように、ポリシリコン膜16xの上にフォトリソistを塗布して、フォトリソist膜とポリシリコン膜とを素子分離17の表面が露出するまでエッチバックして、基板表面を平坦にする。

【0101】その後の工程は、図示を省略するが、上記第1の実施形態における図7(f)～図9(e)に示す工程と同様の工程を実施する。

【0102】本実施形態によっても、上記第2の実施形態と同様に、ゲート電極の長さのばらつきを従来方法に比べて飛躍的に低減することができる。また、ソース・ドレイン領域の占有面積を大幅に低減することができる。かつマスク合わせずれに対する余計なマージンをとる必要がない。

【0103】特に、本実施形態では、第2の実施形態に比べ、素子分離17の形成をゲート酸化工程やゲート電極形成工程よりも先に行うので、素子分離17の形成に伴うゲート絶縁膜へのダメージを回避でき、かつ熱履歴によるデバイス特性に対する悪影響を抑制することができる。

【0104】なお、本実施形態では、溝型素子分離17を形成する際のエッチングストップパとしてシリコン酸化膜14xを用いたが（図10(a)～(c)）、エッチングストップパとして機能し、かつそれを除去する際に素子分離17及び下地のシリコン酸化膜13xがエッチングされ難い材料からなる膜つまりシリコン酸化膜に対するエッチング選択比の高い膜であればよい。例えばポリシリコン膜、アモルファスシリコン膜、高融点金属膜、高融点金属化合物膜、PSG膜、BPSG膜などをエッチングストップ膜として用いることができる。

【0105】（第4の実施形態）次に、第4の実施形態について、図11(a)～(d)を参照しながら説明する。図11(a)～(d)は、本実施形態における半導体装置の製造工程を示す断面図である。

【0106】本実施形態では、素子分離17、nウェル11、pウェル12、ゲート電極50a、ダミー電極50b、ゲート絶縁膜15a、ダミー絶縁膜15b、ゲート保護膜19a、ダミー保護膜19b、各サイドウォール20a、20b、LDD領域21a、ソース・ドレイン領域21b等の形成工程は、上記第2又は第3実施形態で説明した工程のいずれでもよいので、図示を省略する。

【0107】図11(a)に示す状態では、例えば第2実施形態における図9(b)に示す工程を終了している。

【0108】そして、図11(b)に示すように、基板の上に引出し電極形成用膜として厚さ50nmの窒化チタン膜31yを堆積し、その上に厚さ20.0nmのシリコン酸化膜35xをCVD法により堆積する。

【0109】次に、図11(c)に示すように、シリコン酸化膜35xの上に引出し電極を形成しようとする領域を覆うフォトリソist膜FR15を形成し、このフォトリソist膜FR15をマスクとして、シリコン酸化膜35x及び窒化チタン膜31yを順次エッチングする。これにより、図11(d)に示すように、ソース・ドレイン領域21bに自己整合的にコンタクトし、かつダミー電極50bの上まで延びる引出し電極31が形成される。そして、引出し電極31の上には上部絶縁膜35が残り、その後の工程は省略するが、例えば上記第2の実施形態における図9(e)と同様の工程を行って、基板の上に層間絶縁膜を堆積して、引出し電極31への接続孔の形成と、埋め込み層の形成と、上層金属配線の形成とを行うことができる。

【0110】本実施形態によっても、上記第2及び第3の実施形態と同様に、ゲート電極の寸法ばらつきを従来方法に比べて飛躍的に低減することができる。またソース・ドレイン領域の占有面積を大幅に縮小することができ、かつマスク合わせずれに対する余計なマージンをとる必要がない。

【0111】加えて、本実施形態によれば、引出し電極31を形成するためのT1N膜31yの上にシリコン酸化膜35xを堆積することによって、以下の効果が得られる。すなわち、結晶粒径のバラツキによって表面に凹凸が生じやすいタンクステン膜に代えて、アモルファスであるために表面平滑性がよいシリコン酸化膜35xを使用することにより、T1N膜31yのエッチングの制御性（均一性、パターン依存性）を向上させることができ、半導体装置の歩留りを向上させることができる。

【0112】（第5の実施形態）次に、第5の実施形態について、図12(a)～(e)を参照しながら説明する。図12(a)～(e)は、本実施形態における半導体装置の製造工程を示す断面図である。

【0113】本実施形態においても、素子分離17、nウェル11、pウェル12、ゲート電極50a、ダミー電極50b、ゲート絶縁膜15a、ダミー絶縁膜15b、ゲート保護膜19a、ダミー保護膜19b、各サイドウォール20a、20b、LDD領域21a、ソース・ドレイン領域21b等の形成工程は、上記第2又は第3実施形態で説明した工程のいずれでもよいので、図示を省略する。

【0114】図12(a)に示す状態では、例えば第2実施形態における図9(b)に示す工程を終了している。そして、本実施形態では、ブランケット・タンクステンCVD法により、ソース・ドレイン領域21bにコンタクトする下地の埋め込み導電膜を形成する。

【0115】すなわち、図12(b)に示すように、基板上にW/TiN膜からなる下地金属膜36xを堆積し、この下地金属膜36xをエッチバックする。これにより、図12(c)に示すように、ゲート電極50a、ダミー電極50b間の凹部となっているソース・ドレイン領域21bの上方部分のみに埋め込み導電膜36aが残存する。

【0116】次に、図12(d)に示すように、基板上に再びW/TiN膜からなる上地金属膜37xを堆積し、その上に引出し電極を形成しようとする領域を覆うフォトリソist膜FR16を形成して、このフォトリソist膜FR16をマスクとして上地金属膜37xをエッチングする。これにより、図12(e)に示すように、ソース・ドレイン領域21bに自己整合的にコンタクトする埋め込み導電膜36aと、上層膜37aとからなる引出し電極31が形成される。

【0117】本実施形態によっても、上記第2～第4の実施形態と同様に、ゲート電極50aの長さのばらつきを従来方法に比べて飛躍的に低減することができる。また、ソース・ドレイン領域21bの占有面積を大幅に縮小することができ、かつマスク合わせずれに対する余計なマージンをとる必要がない。

【0118】加えて、本実施形態では、引出し電極31を形成するための導電膜を2段階に分離して形成しており、その為、下地金属膜36xと上地金属膜37xとの材料を別々に自由に設定することができる。例えば、下地金属膜36xとして、ソース・ドレイン領域21bとの接触抵抗を低減し得る材料を用いることによって、半導体装置全体の低電圧化を図ることができる。かつ、上地金属膜37xのエッチング時にエッチングストップ膜として機能する材料を用いることにより、上地金属膜37xの加工容易性を向上させることができる。

【0119】尚、本実施形態において、下地金属膜36xとして選択CVD法によるタンタステン膜やアルミ膜、選択エピ成長によるシリコン膜あるいはシリサイド化反応を用いたチタンシリサイド膜やコバルトシリサイド膜などを用いることもできる。それにより、ゲート電極50a等を構成するポリシリコン膜16xの膜厚を薄くすることができ、基板全体の段差が低減されるので、上地金属膜37xの加工及び上層の金属配線の加工が更に容易となる。また、ダミー電極50bを用いて電極間距離を一定値Soとしなくても、引出し電極31は自己整合的にソース・ドレイン領域21bにコンタクトさせることができるので、レイアウトの自由度を向上させることができる。

【0120】なお、上地金属膜37xと下地金属膜36xとのエッチング選択比は4倍以上であることが好ましく、特に10倍以上の時に著効を発揮する。

【0121】(第6の実施形態) 次に、第6の実施形態について説明する。図13(a)～(e)は、本実施形

態における半導体装置の製造工程を示す断面図である。

【0122】本実施形態においても、素子分離17、nウェル11、pウェル12、ゲート電極50a、ダミー電極50b、ゲート絶縁膜15a、ダミー絶縁膜15b、ゲート保護膜19a、ダミー保護膜19b、各サイドウォール20a、20b、LDD領域21a、ソース・ドレイン領域21b等の形成工程は、上記第2又は第3実施形態で説明した工程のいずれでもよいので、図示を省略する。

【0123】図13(a)に示す状態では、例えば第2実施形態における図9(b)に示す工程を終了している。

【0124】そして、図13(b)に示すように、基板上にW/TiN膜からなる下地金属膜36yを堆積する。その後、基板上にフォトリソistを塗布し、エッチバックしてソース・ドレイン領域21bの直上のみにフォトリソist膜FR17を残す。そして、このフォトリソist膜FR17をマスクとして、下地金属膜36yをエッチングし、図13(c)に示すように、ソース・ドレイン領域21bにコンタクトする下層膜36bを形成する。

【0125】次に、図13(d)に示すように、基板上にW/TiN膜からなる上地金属膜37yを堆積し、その上に引出し電極を形成しようとする領域を覆うフォトリソist膜FR18を形成し、これをマスクとして上地金属膜37yをエッチングする。これにより、図13(e)に示すように、上層膜37bと下層膜36bとからなる引出し電極31が形成される。

【0126】本実施形態によっても、上記第2～第5の実施形態と同様にゲート電極の寸法ばらつきを従来方法に比べて飛躍的に低減することができる。また、ソース・ドレイン領域を大幅に縮小することができ、かつマスク合わせずれに対する余計なマージンをとる必要がない。

【0127】また、本実施形態では、上記第5の実施形態と同様に引出し電極形成用導電膜を2段階に分離して形成しているため、下地金属膜36yと上地金属膜37yとの材料を別々に自由に設定することができる。本実施形態で下地金属膜36yとして用いたW/TiN膜は、ソース・ドレイン領域21bと金属配線とのバリアメタルとしての機能を有する上に、上地金属膜37yとして用いた窒化チタン膜のエッチング時にエッチングストップ膜としても機能する。その結果、上地金属膜37yの加工容易性を向上させることができる。

【0128】(その他の実施形態) 尚、第2～第6の実施形態において、素子分離の形成にはフォトリソistを塗布した後エッチバックする方法を用いたが、CMP(ケミカル・メカニカル・ポリッシング)法やSOG(スピン・オン・ガラス)法、BP-SGフロー法等によっても構わない。



【0129】また、上記第2～第6の実施形態では、ゲート電極50a及びダミー電極50bをタングステン膜とポリシリコン膜との2層膜で構成したが、各電極の上層をタングステン膜の代わりに他の金属膜、シリサイド等の金属化合物膜、ポリシリコン膜、アモルファスシリコン膜のいずれか又はそれらの積層膜で構成してもよい。

【0130】また、ゲート保護膜、ダミー保護膜及びサイドウォールとしてCVD法によって堆積したシリコン酸化膜を用いたが、シリコン窒化膜その他の絶縁性材料でも構わない。

【0131】さらに、上記引出し電極31は、チタンタングステン膜やチタニシリサイド膜、タングステンシリサイド膜等で構成してもよい。

【0132】上記各実施形態では、MOSトランジスタをいずれもLDD領域と高濃度不純物を含むソース・ドレイン領域とを有する構造としたが、単に1種類のソース・ドレイン領域を有するMOSトランジスタ、いわゆるDD構造を有するMOSトランジスタ、パンチスルーストック層を設けたMOSトランジスタ等を搭載した半導体装置についても本発明を適用することができる。

【0133】  
【発明の効果】請求項1によれば、半導体装置において、活性領域上と素子分離上とに跨る領域にゲート電極とほぼ平行に延びるダミー電極を設け、孤立パターン内のゲート電極もラインアンドスペースパターン内に配置する構成としたので、パターンの種類の相違に起因して生じるフォトリソグラフィ及びエッチング工程におけるゲート電極の仕上がり寸法のバラツキを低減することができ、よって、ゲート長の微細化による半導体装置の高集積化と動作速度の高速化とを図ることができる。

【0134】請求項2によれば、請求項1において、ソース・ドレイン領域に自己整合的にコンタクトする引出し電極を設ける構成としたので、ダミー電極によるソース・ドレイン領域の占有による不具合を生じることなく、活性領域の占有面積の低減による半導体装置の高集積化と動作速度の高速化とを図ることができる。

【0135】請求項3によれば、請求項1において、溝型素子分離によりゲート電極及びダミー電極のパターニング工程における下地の平坦化を実現し得る構造としたので、フォトリソグラフィ工程における下地段差の影響に起因するゲート寸法のバラツキをほぼ解消することができ、よって、さらにゲート長の微細化を図ることができる。

【0136】請求項4によれば、半導体装置として、溝型素子分離によるゲート電極パターニング工程における下地の平坦化と、引出し電極によるソース・ドレイン領域の占有面積の低減とを可能とする構成としたので、半導体装置の高集積化と動作速度の高速化とを図ることができる。

【0137】請求項5によれば、請求項4において、活性領域上と素子分離上とに跨る領域にゲート電極とほぼ平行に延びるダミー電極を設け、孤立パターン内のゲート電極もラインアンドスペースパターン内に配置する構成としたので、請求項4の効果に加え、請求項1の効果を発揮することができる。

【0138】請求項6～9によれば、請求項1、2、3、4又は5の効果である半導体装置の高集積化と動作速度の高速化について著効を発揮することができる。

【0139】請求項10～21の半導体装置の製造方法によれば、請求項1～9の半導体装置の構造を実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態における半導体装置の製造工程を示す断面図である。

【図2】第1の実施形態における半導体装置の加工後におけるゲート電極の寸法の焦点深度に対する依存性を示す特性図である。

【図3】第1の実施形態における1線を用いた場合の半導体装置の焦点深度の電極間距離に対する依存性を示す特性図である。

【図4】第1の実施形態におけるK<sub>1</sub>F線を用いた場合の半導体装置の焦点深度の電極間距離に対する依存性を示す特性図である。

【図5】第2の実施形態における半導体装置のレイアウトを示す平面図である。

【図6】図5に示すVI-VI線断面における半導体装置の断面図である。

【図7】第2の実施形態における半導体装置の製造工程のうち溝型素子分離を形成するまでの工程を示す断面図である。

【図8】第2の実施形態における半導体装置の製造工程のうち溝型素子分離を形成した後サイドウォールを形成するまでの工程を示す断面図である。

【図9】第2の実施形態における半導体装置の製造工程のうちサイドウォールを形成した後の工程を示す断面図である。

【図10】第3の実施形態における半導体装置の製造工程のうち溝型素子分離を形成するまでの工程を示す断面図である。

【図11】第4の実施形態における半導体装置の引出し電極を形成する工程を示す断面図である。

【図12】第5の実施形態における半導体装置の引出し電極を形成する工程を示す断面図である。

【図13】第5の実施形態における半導体装置の引出し電極を形成する工程を示す断面図である。

【図14】従来の半導体装置の断面図である。

【図15】従来の半導体装置のレイアウトを示す平面図である。

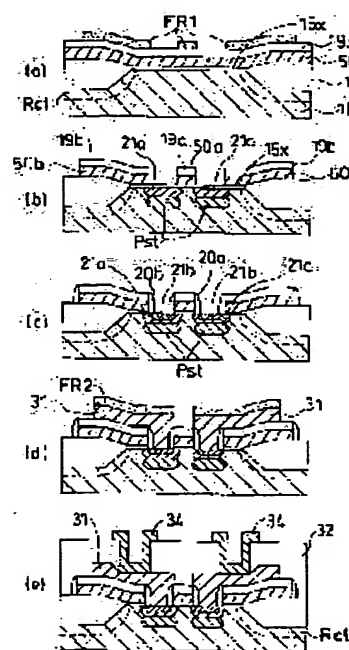
【図16】従来の半導体装置のゲート電極の密集パター

ンと孤立パターンとにおける寸法差を説明するための特性図である。

【符号の説明】

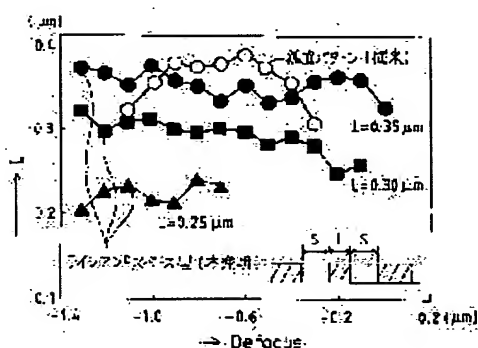
- 1 0 半導体基板
- 1 1 nウェル
- 1 2 pウェル
- 1 3 x シリコン酸化膜
- 1 4 x シリコン窒化膜（エッチングストップ膜）
- 1 5 x シリコン酸化膜
- 1 5 a ゲート絶縁膜
- 1 5 b ダミー絶縁膜
- 1 6 x ポリシリコン膜（第1のゲート用導電膜）
- 1 6 a, 1 6 b 上層膜
- 1 7 素子分離
- 1 7 x 分離用シリコン酸化膜（分離用絶縁膜）
- 1 8 x タングステン膜（第2のゲート用導電膜）
- 1 8 a, 1 8 b 下層膜
- 1 9 x 保護用シリコン酸化膜
- 1 9 a ゲート保護膜

【図1】

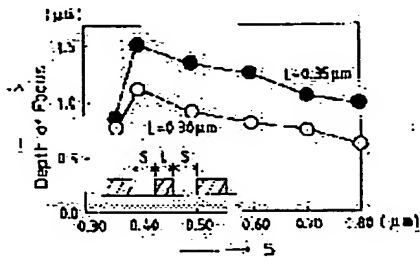


- 1 9 b ダミー保護膜
- 2 0 a 電極サイドウォール
- 2 0 b ダミーサイドウォール
- 2 1 a LiOD領域
- 2 1 b ソース・ドレイン領域
- 3 1 引出し電極
- 3 1 x 積層金属膜
- 3 1 y 窒化チタン膜
- 3 2 層間絶縁膜
- 3 3 埋め込み層
- 3 4 上層金属配線
- 3 5 上部絶縁膜
- 3 5 x シリコン酸化膜
- 5 0 x ポリシリコン膜
- 5 0 a ゲート電極
- 5 0 b ダミー電極
- F R フォトリソレジスト膜
- R n nチャネルMO.Sトランジスタ形成領域
- R p pチャネルMO.Sトランジスタ形成領域

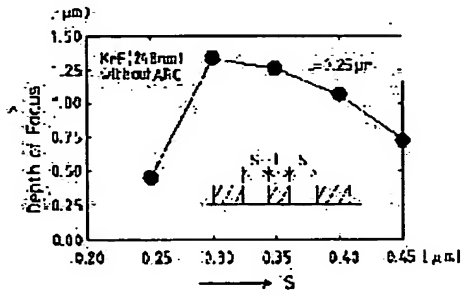
【図2】



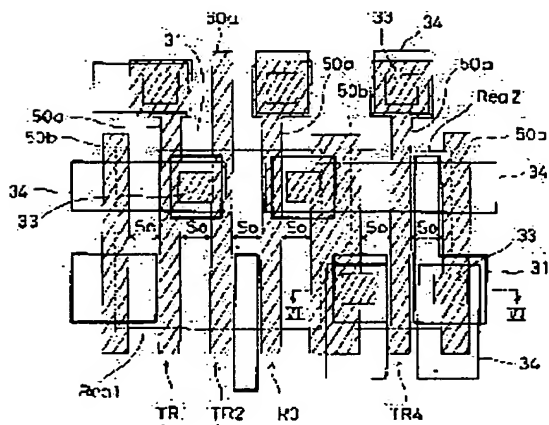
【図3】



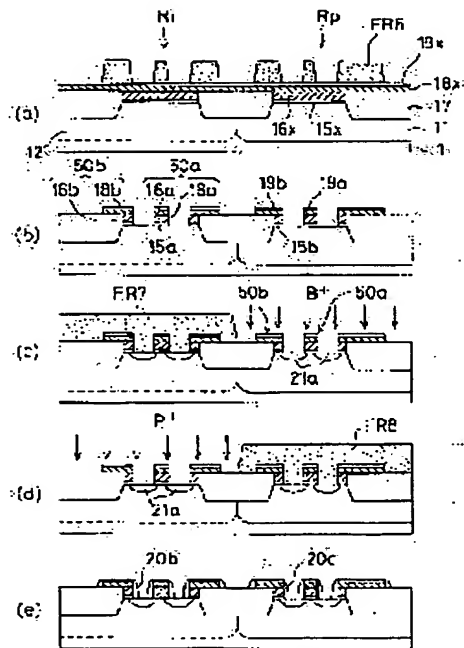
【図4】



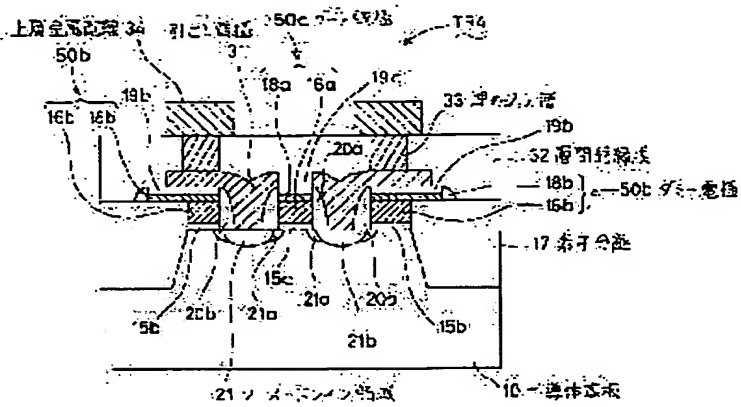
【図5】



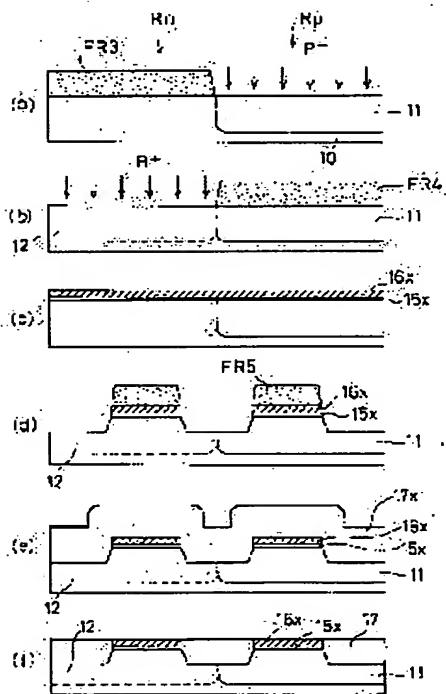
【図6】



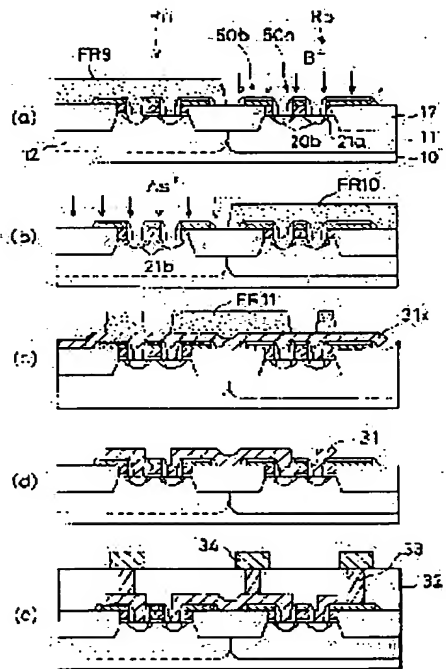
【図6】



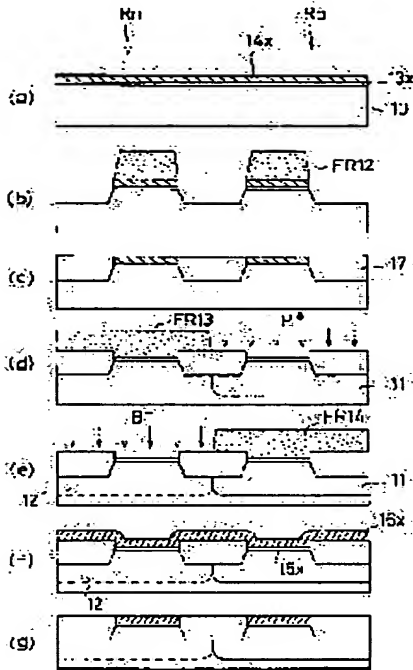
【図7】



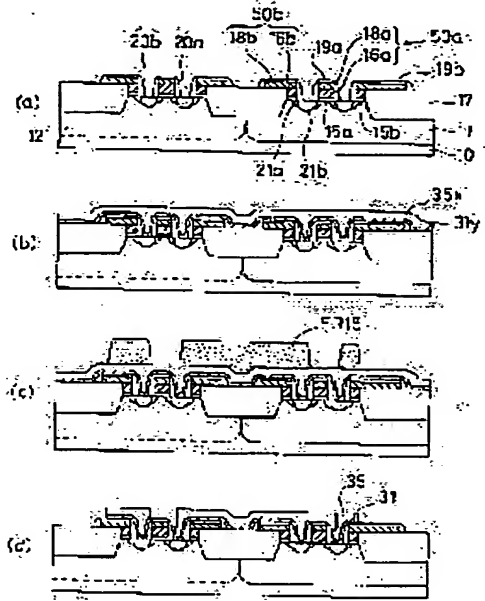
【図9】



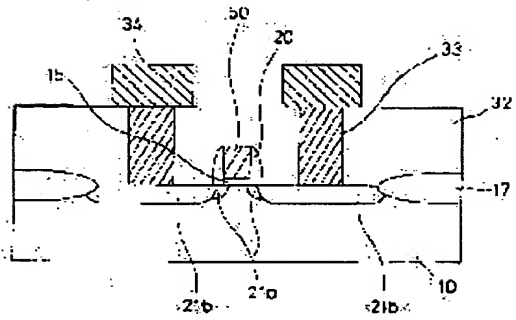
【图 1.0】



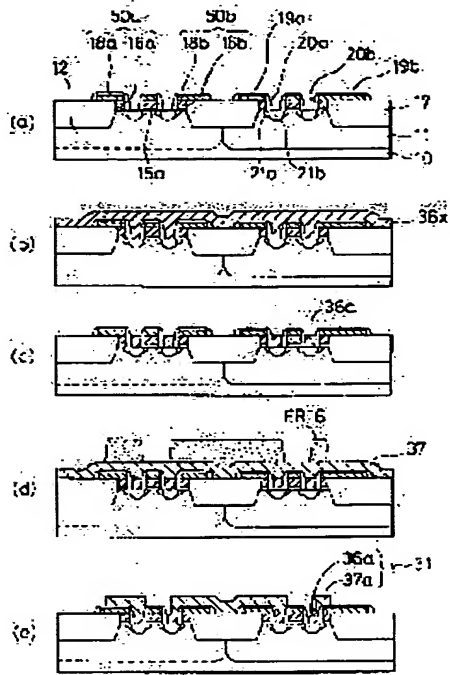
【圖 1-1】



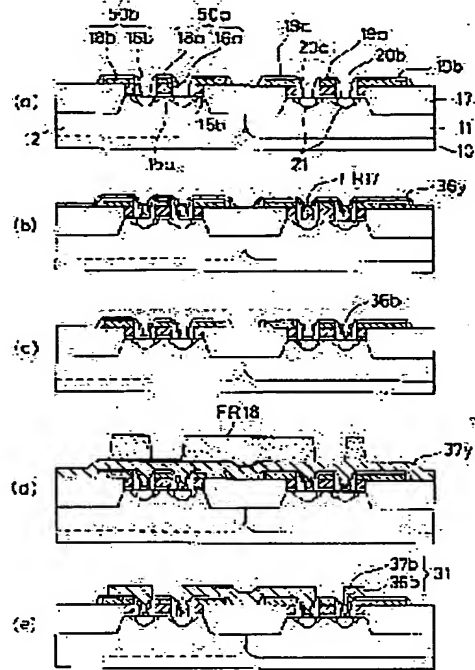
【図 14】



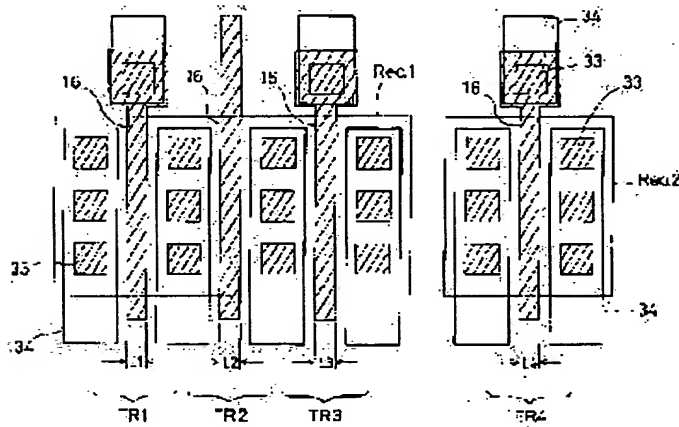
【図12】



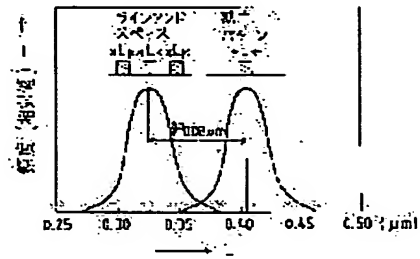
【図13】



【図15】



【図1.6】



フロントページの続き

(72)発明者 中村 隆  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 藤井 稔  
兵庫県神戸市北区往来1丁目8番45号